

#2
0.2
日本国特許庁
JAPAN PATENT OFFICE
4/26/02



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月30日

出願番号

Application Number:

特願2001-102175

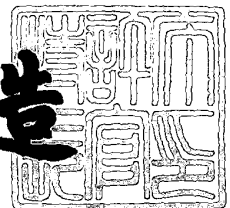
出願人
Applicant(s):

富士通株式会社

2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3100269

【書類名】 特許願

【整理番号】 0100078

【提出日】 平成13年 3月30日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G11C 8/20

【発明の名称】 半導体記憶装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 森 郁

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 松宮 正人

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 外部に対してデータを入出力するデータバッファと、

複数のブロックからなる D R A Mセル配列と、

該 D R A Mセル配列の各ブロックに対してブロック周辺部に配置される S R A M冗長セルと、

該 D R A Mセル配列の欠陥メモリセルのアドレスを記憶するフューズ回路と、

入力アドレスと該フューズ回路が記憶するアドレスとを比較する比較回路と、

該比較回路がアドレス一致を検出すると該 S R A M冗長セルを該データバッファに接続する I / Oバス

を含むことを特徴とする半導体記憶装置。

【請求項 2】 該 D R A Mセル配列の各ブロックに対して設けられるセンスアンプ列を更に含み、該 S R A M冗長セルは該センスアンプ列の領域の一部に配置されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 該 D R A Mセル配列の各ブロックに対して設けられるサブワードデコーダを更に含み、該 S R A M冗長セルは該サブワードデコーダの領域の一部に配置されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 該 D R A Mセル配列の各ブロックに対して設けられるセンスアンプ列及びサブワードデコーダを更に含み、該 S R A M冗長セルは該センスアンプ列と該サブワードデコーダとの交差部に配置されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 該 D R A Mセル配列の各ブロックに対して設けられるワードデコーダを更に含み、該 S R A M冗長セルは該ワードデコーダの領域の一部に配置されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 該 D R A Mセル配列の各ブロックに対してブロック周辺部に配置される S R A M冗長セルは、該 D R A Mセル配列の単一の欠陥箇所を冗長する容量であることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 7】 該 S R A M冗長セルは、該 D R A Mセル配列の任意のブロックの欠

陥メモリセルを冗長可能であることを特徴とする請求項 6 記載の半導体記憶装置

【請求項 8】該フューズ回路は、該 D R A M セル配列のあるセルマットに 2 箇所以上欠陥箇所が存在する場合には、そのうちの少なくとも 1 つの欠陥箇所のアドレスを他のセルマットの S R A M 冗長セルに冗長するように設定されることを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】該比較回路の比較結果に関わらず該入力アドレスのローアドレスに応じてワード線を選択活性化するワードデコーダと、

該比較回路がアドレス不一致を検出すると該入力アドレスのコラムアドレスに対応するコラム線を選択活性化し、該比較回路がアドレス一致を検出すると該 S R A M 冗長セルに対応する冗長コラム線を選択活性化するコラムデコーダと、

該入力アドレスのブロックアドレスに応じて該 S R A M 冗長セルをワード方向に選択するブロック信号線

を更に含むことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 1 0】該冗長コラム線で選択される該 S R A M 冗長セルのビット数は、該コラム線で選択されるデータのビット数に等しいことを特徴とする請求項 9 記載の半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、一般に半導体記憶装置に関し、詳しくは欠陥セルを冗長セルで置き換える半導体記憶装置に関する。

【従来の技術】

半導体記憶装置においては、欠陥セルが存在する場合には、それを予備のセルである冗長セルで置き換え、欠陥セルのアドレスに対するアクセスを冗長セルに振り替えることで、欠陥セルのアドレスを救済する処理が行われる。この際、欠陥ビットを含む行（ワード線）又は列（コラム線又はデータ線）を一括して、冗長のための予備の行又は列に置換するのが一般的である。このような一括的な置換方法は、ワード線、コラム線、データ線等に断線やショート不良が生じた場合

には有効な置換方法であるが、単一のビット毎におこるランダム欠陥に対しては、単一のビットに対しても一括して線全体の置換が行われるために救済効率が悪くなってしまう。

【 0 0 0 2 】

これに対して、欠陥ビットを行と列の交点として指定して、予備の行又は列に用意される冗長ビットと一対一に対応させて置換する方式が、例えば特開平 1 - 3 0 3 6 9 9 及び特開平 6 - 2 0 4 9 4 に開示されている。

【 0 0 0 3 】

ランダム欠陥の程度としては、完全な動作不良を生じる欠陥とまではいかなくとも、低消費電力化等の要求を満足するために設定したリフレッシュ間隔よりもセルのデータ保持時間が短い場合があり、このようなセルも不良ビットとして扱われる。DRAMにおけるセルのデータ保持時間はチップ内である程度の分布を持っており、データ保持時間が短いセルを冗長セルにより救済する際に、この冗長セル自体がデータ保持時間の短い問題のあるセルである場合がある。この場合には、上記特開平 1 - 3 0 3 6 9 9 及び特開平 6 - 2 0 4 9 4 の冗長技術では、期待される冗長の効果が得られない可能性がある。

【 0 0 0 4 】

これに対して、例えば特開昭 6 4 - 5 9 7 0 0 及び特開平 6 - 2 6 9 2 9 9 に記載の技術によると、ビット単位で冗長を行う際の冗長セルとして SRAM セルを使用しており、データ保持時間が短い問題のあるセルで置換されることを回避することができる。

【 発明が解決しようとする課題 】

特開昭 6 4 - 5 9 7 0 0 に記載の技術では、不良アドレスへのメモリアクセスの検出手段として、内容読み出しメモリ（連想メモリ：CAM）を使用するか、或いは適当な記憶手段と排他的論理和とから構成される回路を使用して、DRAMのメモリアレイとは異なったアドレス選択形態とすることにより、DRAMへのアクセスをそのままにしながら冗長ビットに対するアクセスへ切り換えを行い、DRAMのタイミング制御を容易にしている。しかしながら、内容読み出しメモリ CAM は、論理ゲート部分とメモリセル部分との組合せで構成されるので、

置換可能なビット数を増やそうとすると、回路構成が複雑となり、回路規模が増大するという問題がある。

【 0 0 0 5 】

また特開昭 6 4 - 5 9 7 0 0 及び特開平 6 - 2 6 9 2 9 9 に記載の技術では、主メモリと予備メモリとを分離して配置し、更に、主メモリをアクセスする選択線及びその駆動回路と、予備メモリをアクセスする選択線及びその駆動回路とを別々に設けている。そして、これらの回路を同時に動作させて、双方から出力されたデータを選択する構成となっている。この構成では、主メモリと予備メモリとに夫々別の回路を設けるために、チップ面積及び消費電力が増大するという問題がある。

【 0 0 0 6 】

以上を鑑みて、本発明は、チップ面積及び消費電力を増大させること無く単ビット不良を効率的に救済する半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

本発明による半導体記憶装置は、外部に対してデータを入出力するデータバッファと、複数のブロックからなる D R A M セル配列と、該 D R A M セル配列の各ブロックに対してブロック周辺部に配置される S R A M 冗長セルと、該 D R A M セル配列の欠陥メモリセルのアドレスを記憶するフューズ回路と、入力アドレスと該フューズ回路が記憶するアドレスとを比較する比較回路と、該比較回路がアドレス一致を検出すると該 S R A M 冗長セルを該データバッファに接続する I / O バスを含むことを特徴とする。

【 0 0 0 7 】

上記発明では、アドレス信号の全ビット（ローアドレス、ブロックアドレス、及びコラムアドレス）を欠陥アドレスと比較して冗長処理が必要か否かを決定し、冗長処理時には、S R A M 冗長セルに対してデータ書き込み／データ読み出しを実行する。また本発明のある形態によれば、入力アドレスの全ビットと欠陥アドレスとを比較して、通常のコラム線の選択／非選択及び冗長コラム線の選択／非選択を決定して、冗長処理時には、選択活性化した冗長コラム線及び選択活性化したブロック線によって、S R A M 冗長セルに対してデータ書き込み／データ

読み出しを実行する。従って、メモリセルに対する一対一の冗長セルの置き換えが可能になると共に、SRAMの使用によって信頼性のある冗長処理が可能になる。またSRAM冗長セルに対して、DRAMメモリと別個にSRAM専用のアドレス選択回路及びデータアクセス回路を設ける必要が無いので、効率的なチップ面積の使用が可能になると共に、消費電力の増大を抑えることが出来る。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0008】

図1は、本発明による半導体記憶装置の構成を示すブロック図である。

【0009】

図1の半導体記憶装置10は、アドレスバッファ11、データバッファ12、コマンドデコーダ13、制御信号生成ユニット14、クロックバッファ15、複数のコラムデコーダ16、複数のワードデコーダ17、複数のDRAMセル配列18、複数のSRAM冗長セル19、及び複数のフューズボックス20を含む。

【0010】

DRAMセル配列18には、キャパシタをメモリ素子とする複数のセルが縦横に配置され、ワード線、コラム線、セルトランジスタ、センスアンプ等、各セルに対してデータを読み書きするためのアドレス指定やデータ増幅等のための回路や配線が設けられている。各DRAMセル配列18は、一纏まりのブロックとして提供され、各DRAMセル配列18の間には、図示されないセンスアンプ列が配置される。図1の例では、各センスアンプ列を配置する位置の一部を、SRAM冗長セル19を設けるための領域としている。

【0011】

アドレスバッファ11は、外部からアドレス信号ADDRを受け取り、適当なタイミングでアドレスを制御信号生成ユニット14、コラムデコーダ16、及びワードデコーダ17に供給する。

【0012】

データバッファ12は、外部から書き込まれるデータを、図示されない経路を介してDRAMセル配列18に適切なタイミングで供給すると共に、DRAMセ

ル配列18から読み出されるデータを、適切なタイミングで外部に出力する。

【0013】

コマンドデコーダ13は、外部からコントロール信号／RAS、／CAS、／WE等を受け取り、コントロール信号で示されるコマンドをデコードして解釈し、デコード結果を制御信号生成ユニット14に供給する。制御信号生成ユニット14は、デコード結果に従って、コラムデコーダ16やワードデコーダ17等の各ユニットの動作及び動作タイミングを制御する。即ち制御信号生成ユニット14が、制御タイミング信号を半導体記憶装置10内の各ユニットに供給し、各ユニットが適切なタイミングで動作することによって、半導体記憶装置10のデータ書き込み・データ読み出し動作が実現される。

【0014】

クロックバッファ15は、外部からクロック信号CLKを受け取り、このクロック信号を、アドレスバッファ11、データバッファ12、コマンドデコーダ13等に供給する。これによって、各ユニットでのデータ取り込みタイミングや動作タイミング等が制御される。

【0015】

ワードデコーダ17は、アドレスバッファ11から供給されたローアドレスをデコードし、一つのローアドレスに対応するワード線を活性化する。活性化ワード線に接続されるセルトランジスタが導通され、選択されたワードアドレスのメモリセルのデータがビット線に読み出される。

【0016】

コラムデコーダ16は、アドレスバッファ11から供給されたコラムアドレスをデコードし、一つのコラムアドレスに対応するコラム線を活性化する。これによって対応するコラムトランジスタが導通され、対応するセンスアンプとデータバッファ12との間でデータ伝送が行われる。

【0017】

読み出し動作の場合、活性化されたワード線に接続されるメモリセルからビット線にデータが読み出され、センスアンプによってビット線のデータが増幅される。活性化されたコラム線に対応するセンスアンプから増幅されたデータが読み

出され、データバッファ 1 2 に供給される。書き込み動作の場合は、読み出し動作の場合と逆に、活性化されたコラム線で選択されるセンスアンプに、データバッファ 1 2 からデータが供給され、活性化されたワード線に接続されるメモリセルにセンスアンプからビット線を介してデータが書き込まれる。

【 0 0 1 8 】

S R A M 冗長セル 1 9 は、後述するようにセンスアンプ列を配置する位置の一部にスペースを設け、そのスペースに構成される。S R A M 冗長セル 1 9 は、D R A M セル配列 1 8 の各セルマットに対して所定の個数が設けられ、基本的に、対応するセルマット内の欠陥メモリセルに対して、一対一に割り当てられる冗長セルとして機能する。フューズボックス 2 0 は、内部に設定されるフューズの切断／非切断状態に応じて、欠陥セルに対するメモリアクセスを S R A M 冗長セル 1 9 に対するメモリアクセスに切り換えるよう機能する。

【 0 0 1 9 】

図 2 は、D R A M セル配列及び S R A M 冗長セルの配置を示す図である。

【 0 0 2 0 】

図 2 には、D R A M セル配列 1 8 の 1 つのセルマットを示す。この例の D R A M セル配列 1 8 においては、2 5 6 本のワード線に対応する 2 5 6 ワードが 6 4 個のセンスアンプに対応して 6 4 ビット分配置され、2 5 6 × 6 4 ビット構成となっている。D R A M セル配列 1 8 の上下には、複数のセンスアンプからなるセンスアンプ列 2 1 が配置される。この例では、1 つのセンスアンプ列 2 1 は、1 6 個のセンスアンプを含み、1 6 ビットのデータに対する信号増幅動作を行う。

【 0 0 2 1 】

ここで D R A M セル配列 1 8 は、図 1 に示されるように、上下方向に隣接して設けられる。図 2 は、この D R A M セル配列 1 8 の 1 つのセルマットを示し、センスアンプ列 2 1 は、隣接する D R A M セル配列 1 8 の間に設けられることになる。

【 0 0 2 2 】

図 2 に示されるように、隣接する D R A M セル配列 1 8 の間でセンスアンプ列 2 1 が配置されるチップ領域の一部を、S R A M 冗長セル 1 9 用の領域として使

用する。この領域に設けられる S R A M 冗長セル 1 9 は、D R A M セル配列 1 8 に欠陥セル 2 2 が存在すると、この欠陥セル 2 2 に対する冗長セルとして機能する。図 2 の例では、各 S R A M 冗長セル 1 9 は 2 ビットの S R A M セルを含む。図示される 4 つの S R A M 冗長セル 1 9 のうちで、内側に設けられる 2 つの S R A M 冗長セル 1 9 が、図示される D R A M セル配列 1 8 の冗長を行う。外側に設けられる 2 つの S R A M 冗長セル 1 9 は、隣接する図示されない D R A M セル配列 1 8 の冗長を行う。

【 0 0 2 3 】

データを 4 ビット単位で読み出す構成であるとする、欠陥セル 2 2 を含む 4 ビットのメモリセルが、それぞれが 2 ビットである 2 つの S R A M 冗長セル 1 9 に冗長される。このようにして、図 2 の例では、図示される 1 つの D R A M セル配列 1 8 に対して、一箇所の欠陥に対する冗長処理が可能になる。

【 0 0 2 4 】

図 3 は、S R A M 冗長セル 1 9 周辺の回路構成を示す回路図である。

【 0 0 2 5 】

図 3 では、説明の都合上、S R A M 冗長セル 1 9 を 1 9 - 1 乃至 1 9 - 4 とし示している。S R A M 冗長セル 1 9 - 1 及び S R A M 冗長セル 1 9 - 2 は、図 3 に示される D R A M セル配列 1 8 を冗長するためのものである。S R A M 冗長セル 1 9 - 3 は、図示される D R A M セル配列 1 8 の図面上方向に隣接する D R A M セル配列を冗長し、S R A M 冗長セル 1 9 - 4 は、図示される D R A M セル配列 1 8 の図面下方向に隣接する D R A M セル配列を冗長する。

【 0 0 2 6 】

各 S R A M 冗長セル 1 9 - 1 乃至 1 9 - 4 は、2 つのインバータ 3 2 及び 3 3 からなるラッチを 2 つ含み、2 ビットのデータを格納する。

【 0 0 2 7 】

D R A M セル配列 1 8 のメモリセルのデータは、データ読み出し時に選択的に活性化されるワード線によってワード選択される。選択されたワード線のデータは、ビット線を介してセンスアンプ 3 1 に供給され増幅される。ここでセンスアンプ 3 1 は、1 6 個が一纏まりとして、図 2 に示されるセンスアンプ列 2 1 を形

成する。

【 0 0 2 8 】

図 4 は、DRAMセル配列とセンスアンプ及びSRAM冗長セルとの関係を示す図である。

【 0 0 2 9 】

図 4 には、説明の便宜上一本のワード線 4 1 だけが示してある。データ読み出し時にワード線 4 1 が選択されると、ワード線 4 1 に対応するメモリセルからデータが読み出される。読み出されたデータは、ビット線 BL 及び /BL を介して、対応するセンスアンプ 3 1 に供給される。センスアンプ 3 1 は、ビット線 BL 及び /BL の電位差が大きくなる方向に、ビット線 BL 及び /BL に現れたデータを増幅する。図 4 に示されるように、ビット線 BL 及び /BL の対は、DRAMセル配列 1 8 の図面上方向のセンスアンプ 3 1 と図面下方向のセンスアンプ 3 1 とに交互に接続される。

【 0 0 3 0 】

選択ワード線 4 1 に対応するメモリセルに欠陥がある場合、図 4 に点線棒及び太矢印で示されるように、例えば 4 ビット分のデータが、SRAM冗長セル 1 9 - 1 及び 1 9 - 2 で冗長される。

【 0 0 3 1 】

図 3 を再び参照して、データ読み出し動作に関して説明する。

【 0 0 3 2 】

上記のようにして、DRAMセル配列 1 8 のメモリセルのデータがセンスアンプ 3 1 に格納されると、図 1 のコラムデコーダ 1 6 によってコラムアドレスに対応するコラム線が活性化される。例えば、図 3 に示されるコラム線 CA i が活性化されると、コラム線 CA i がゲートに接続される NMOS トランジスタ 3 5 が導通され、対応するセンスアンプ 3 1 のデータが I/O バス I/O 0 乃至 I/O 3 に供給される。この I/O バス I/O 0 乃至 I/O 3 のデータは、アンプなどを介して図 1 のデータバッファ 1 2 に供給され、半導体記憶装置 1 0 の外部に出力される。このように図 3 の例では、1 つのコラムアドレスに対して、4 ビットのデータが読み出される。

【0033】

選択されたワードに欠陥セルが存在する場合、この欠陥セルを含む4ビットのデータが、SRAM冗長セル19-1及び19-2によって冗長される。具体的には、欠陥セルのアドレス情報を図1のフューズボックス20が保持している。欠陥セルのアドレス（ローアドレス及びコラムアドレス）が選択されると、そのコラムアドレスに対応するコラム線を選択活性化するのではなく、対応する冗長コラム線RCA_jが選択活性化されるように動作する。結果として、冗長コラム線RCA_jがゲートに接続されるNMOSトランジスタ35が導通される。また選択されるローアドレスに基づいて、対応するDRAMセル配列18のブロックを指定するブロック信号が選択活性化される。図3の構成では、図示されるDRAMセル配列18に対応して、ブロック信号BLBが選択される。このブロック信号BLBをゲート入力とするNMOSトランジスタ36が導通し、SRAM冗長セル19-1及び19-2のデータが、I/OバスI/O0乃至I/O3に供給される。このI/OバスI/O0乃至I/O3のデータは、アンプなどを介して図1のデータバッファ12に供給され、半導体記憶装置10の外部に出力される。

【0034】

なおブロック信号BLAは、図示されるDRAMセル配列18の図面上方向に隣接するDRAMセル配列を選択する際に活性化される信号である。図面上方向に隣接するDRAMセル配列に対して冗長処理が実行される場合には、ブロック信号BLAによって、SRAM冗長セル19-3のデータがI/OバスI/O0乃至I/O4に供給される。また同様に、ブロック信号BLCは、図示されるDRAMセル配列18の図面下方向に隣接するDRAMセル配列を選択する際に活性化される信号である。

【0035】

このようにして、正常セルのアドレスが指定される場合には、センスアンプ31からデータが読み出され、欠陥セルのアドレスが指定される場合には、冗長処理によりSRAM冗長セル19からデータが読み出される。なおデータ書き込みの場合には、データ読み出しの場合と逆方向にデータが伝播して、指定アドレス

の D R A M メモリセル或いは対応する S R A M 冗長メモリセルにデータが格納される。

【 0 0 3 6 】

図 5 は、本発明における冗長処理の制御を模式的に示した図である。

【 0 0 3 7 】

図 5 の冗長処理制御機構は、フューズ R O M 5 1、比較回路 5 2、コラムアドレスバッファ 5 3、ブロックアドレスバッファ 5 4、ローアドレスバッファ 5 5、インバータ 5 6、及び A N D 回路 5 7 及び 5 8 を含む。これらによって、冗長コラム線 5 9、ブロック線 6 0、コラム線 6 1、及びワード線 6 2 を制御する。なおフューズ R O M 5 1 及び比較回路 5 2 は、図 1 のフューズボックス 2 0 に含まれる。またコラムアドレスバッファ 5 3、ブロックアドレスバッファ 5 4、及びローアドレスバッファ 5 5 は、例えば図 1 のアドレスバッファ 1 1 内部に設けられる構成でよい。

【 0 0 3 8 】

フューズ R O M 5 1 は、内部に設けられるフューズの切断／非切断状態に基づいて欠陥アドレスを示す情報を保持し、この情報を比較回路 5 2 に供給する。比較回路 5 2 は、フューズ R O M 5 1 から供給される欠陥アドレスを示す情報と、コラムアドレスバッファ 5 3、ブロックアドレスバッファ 5 4、及びローアドレスバッファ 5 5 から供給されるアクセス対象のアドレスとを比較する。

【 0 0 3 9 】

欠陥アドレスとアクセス対象のアドレスとが異なる場合には、比較回路 5 2 は、冗長判定信号 c o m o r z を L O W とする。この場合、インバータ 5 6 の出力は H I G H となり、コラムアドレスバッファ 5 3 の格納するコラムアドレスに対応したコラム線 6 1 が選択活性化される。この時、ローアドレスバッファ 5 5 のローアドレスとブロックアドレスバッファ 5 4 のブロックアドレスとに基づいて、ワード線 6 2 が選択活性化される。従って、選択活性化されたワード線 6 2 と選択活性化されたコラム線 6 1 とによって、指定されたアドレスに対するデータ読み出し或いはデータ書き込みが実行される。

【 0 0 4 0 】

欠陥アドレスとアクセス対象のアドレスとが同一の場合には、比較回路 5 2 は、冗長判定信号 $comorz$ を HIGH とする。この場合、インバータ 5 6 の出力は LOW となり、正常なメモリセルに対応するコラム線 6 1 は選択活性化されない。また比較回路 5 2 は、冗長コラム線選択信号 $com0z$ 乃至 $com7z$ のうちで、アクセス対象のアドレスに対応する選択信号を活性化する。これによって、冗長コラム線 5 9 ($RCAj : j = 0 \sim 7$) のうちの対応する一本が選択活性化される。またこの時、ブロックアドレスバッファ 5 4 のブロックアドレスに対応するブロック線 6 0 が選択活性化される。従って、選択活性化された冗長コラム線 5 9 と選択活性化されたブロック線 6 0 (図 3 のブロック信号 BLA 乃至 BLC に対応) とによって、指定アドレスが欠陥アドレスである場合の冗長セルに対するデータ読み出し或いはデータ書き込みが実行される。

【 0 0 4 1 】

なおここでワード線 6 2 は、入力アドレスが欠陥セルのアドレスであるか否かに関わらず、即ち冗長処理が実行されるか否かに関わらず、常に選択活性化される。これによって、例えばデータ読み出し時には、欠陥セルのデータがセンスアンプに読み出される。しかし冗長処理が実行される場合、このセンスアンプの欠陥セルのデータは無視されて、SRAM 冗長セルのデータが I/O バスを介してデータバッファに供給される。

【 0 0 4 2 】

図 6 は、フューズボックス及びその周辺を示す回路図である。

【 0 0 4 3 】

図 6 の構成は、128 個のフューズボックスによって、128 個の欠陥セルに対応できる構成を示す。128 個のフューズボックスは、説明の便宜上、フューズボックス 20-1 乃至 20-128 として示される。各フューズボックスは同一の構成を有する。

【 0 0 4 4 】

フューズボックス 20-1 は、冗長判定回路 7 1 と、20 個のフューズ回路 7 2-1 乃至 7 2-20、複数の NAND 回路 7 3、複数の NOR 回路 7 4、NAND 回路 7 5、及び NMOS トランジスタ 7 6 を含む。冗長判定回路 7 1 は、内

部フューズの切断／非切断状態に応じて、冗長処理を実行するか否かを決定する。各フューズ回路 7 2 - 1 乃至 7 2 - 2 0 は、内部フューズの切断／非切断状態に応じて、2 0 ビットのアドレス情報を記憶する。このアドレス情報は、欠陥があるセルのアドレスに対応する。複数の NAND 回路 7 3、複数の NOR 回路 7 4、及び NAND 回路 7 5 が、図 5 の比較回路 5 2 に対応し、アドレス信号 $ra00z$ 乃至 $ra12z$ 及び $ca00z$ 乃至 $ca06z$ で示される入力アドレスと欠陥メモリセルのアドレスとを比較する。

【 0 0 4 5 】

冗長判定回路 7 1 は、PMOS トランジスタ 8 1 及び 8 2、NAND 回路 8 3 及び 8 4、及びフューズ 8 5 を含む。NAND 回路 8 3 及び 8 4 は、互いの出力を入力として、ラッチを形成する。信号 $crstx$ は、装置立ち上げ時に LOW でその後 HIGH になる信号である。信号 $csetz$ は、装置立ち上げ時に LOW で、その後、フューズの切断／非切断を検出する際に HIGH になるパルス信号である。装置立ち上げ時には、信号 $crstx$ 及び信号 $csetz$ が LOW であるので、ノード N 1 及び N 2 が LOW 及び HIGH となるように、NAND 回路 8 3 及び 8 4 からなるラッチがリセットされる。その後、信号 $crstx$ が HIGH になるが、ラッチの状態は不変である。

【 0 0 4 6 】

フューズ 8 5 が接続されている場合、フューズの切断／非切断を検出する為に信号 $csetz$ が HIGH になると、NMOS トランジスタ 7 6 が導通して、ノード A の電位が LOW に落とされる。これによって、ノード N 1 及び N 2 が HIGH 及び LOW となるように、NAND 回路 8 3 及び 8 4 からなるラッチがリセットされる。その後は $csetz$ が再び LOW になり、ノード A は再び HIGH 電位となるが、ノード N 1 及び N 2 の HIGH 及び LOW 電位は維持される。この場合、アドレス比較が実行されないので、冗長処理は行われぬ。

【 0 0 4 7 】

フューズ 8 5 が切断されている場合、信号 $csetz$ が HIGH になっても、ノード A の HIGH 電位はそのまま変化しない。従って、ノード N 1 及び N 2 が LOW 及び HIGH であるラッチの状態が維持される。この場合、アドレス比較が

実行され、冗長処理が行われる。

【0048】

このようにして冗長判定回路71は、フューズ85を切断するか否かに応じて、冗長処理を実行するか否かを決定する。

【0049】

フューズ回路72-1は、PMOSトランジスタ91及び92、NAND回路93及び94、PMOSトランジスタ及びNMOSトランジスタからなるトランスファークローク95及び96、インバータ97、及びフューズ98を含む。NAND回路93及び94は、互いの出力を入力としてラッチを形成する。フューズ回路72-1におけるラッチ動作は、冗長判定回路71の動作と同様である。

【0050】

フューズ98が接続されているときには、ノードM1及びM2がHIGH及びLOWとなるように、ラッチ状態が設定される。この場合、アドレスra00zは、トランスファークローク96を介して、NAND回路73に供給される。フューズ98が切断されているときには、ノードM1及びM2がLOW及びHIGHとなるように、ラッチ状態が設定される。この場合、アドレスra00zの反転信号が、トランスファークローク95を介して、NAND回路73に供給される。

【0051】

同様の動作が、フューズ回路72-1乃至72-20の全てにおいて実行される。従って、アドレス信号ra00z乃至ra12z及びca00z乃至ca06zの20ビットのうちで、値が0である全てのビットに対応するフューズ回路のフューズ98が切断され、それ以外ではフューズ98が切断されていない場合に、全てのフューズ回路72-1乃至72-20の出力がHIGHになる。

【0052】

このとき全てのNAND回路73の出力はLOWになり、全てのNOR回路74の出力はHIGHになる。従って、NAND回路75の出力はLOWとなる。

【0053】

このように、フューズ回路72-1乃至72-20のフューズ98の切断／非切断の状態が入力アドレスと一致すると、フューズボックス20-1はLOWを

出力する。なおアドレス信号 $r a 0 0 z$ 乃至 $r a 1 2 z$ のうちで、例えば5ビットがブロックアドレスに対応する。

【 0 0 5 4 】

1つのNOR回路102は、4つのNAND回路101からの出力を入力とする。4つのNAND回路101は、16個のフューズボックスからの出力を入力とする。これによって、1つのNOR回路102は、対応する16個のフューズボックスのうちの1つにおいてアドレス一致が検出されその出力がLOWとなると、LOWを出力する。いずれのフューズボックスにおいてもアドレス一致が検出されなければ、NOR回路102の出力はHIGHとなる。

【 0 0 5 5 】

アドレス一致に対応してNOR回路102から出力されるLOW信号は、3つのインバータ104を介して、冗長コラム線選択信号 $c o m 0 z$ 乃至 $c o m 7 z$ の何れかとして出力される。結果として、冗長コラム線 $R C A j$ ($j = 0 \sim 7$) のうちの対応する一本が選択活性化される。

【 0 0 5 6 】

またNOR回路102の出力は、NAND回路103、NOR回路105、及びインバータ106によって1つに纏められる。結果として、インバータ106の出力である冗長判定信号 $c o m o r z$ は、冗長アドレスと入力アドレスとが一致した場合にHIGHとなる。この結果、図5で説明したように、正常なメモリセルに対応するコラム線は選択活性化されない。

【 0 0 5 7 】

以上の構成において、複数のNAND回路101、複数のNOR回路102、複数のNAND回路103、複数のインバータ104、NOR回路105、及びインバータ106は、例えば図1のコラムデコーダ16内に設けられる構成としてよい。

【 0 0 5 8 】

なお冗長コラム線選択信号 $c o m 0 z$ 乃至 $c o m 7 z$ の1つが、図2に示される 256×64 のDRAMセル配列18に対応する。詳しくは、 256×64 のDRAMセル配列18に対応して一本の冗長コラム線 $R C A j$ が設けられ、この

一本の冗長コラム線 RCA_j で、コラム線の延長方向（図面上下方向）に並べられた複数の DRAM セル配列 18 を選択する。更に、このコラム線の延長方向に並べられた複数の DRAM セル配列 18 のうちの 1 つを、前述の図 3 で説明したようにブロック信号で選択する。

【 0 0 5 9 】

以上のようにして、本発明では、ローアドレス、ブロックアドレス、及びコラムアドレスを含むアドレス信号の全ビットを、冗長アドレスと比較することで、通常のコラム線を選択／非選択及び冗長コラム線を選択／非選択を決定して、冗長処理時には、選択活性化した冗長コラム線及び選択活性化したブロック線に対応する SRAM 冗長セルに対してデータ書き込み／データ読み出しを実行する。従って、メモリセルに対する一対一の冗長セルの置き換えが可能になると共に、SRAM の使用によって信頼性のある冗長処理が可能になる。また SRAM 冗長セルに対して、DRAM メモリと別個に SRAM 専用のアドレス選択回路及びデータアクセス回路を設ける必要が無いので、効率的なチップ面積の使用が可能になると共に、消費電力の増大を抑えることが出来る。

【 0 0 6 0 】

図 7 は、DRAM セル配列及び SRAM 冗長セルの配置を示す図である。

【 0 0 6 1 】

前述の図 2 に示される構成では、 256×64 の DRAM セル配列 18 に対して、2 ビットの SRAM 冗長セル 19 を 2 つ割り当てている。これに対して図 7 の構成では、図 2 の構成をワード線延長方向に 8 個並べて、合計で 256×512 の DRAM セル配列 18A としている。また、32 ビットのセンスアンプ及び 2 ビットの SRAM 冗長セルを 2 つ含むセンスアンプ列 & SRAM 冗長セルユニット 111 が、上下各 8 個ずつで計 16 個設けられる。

【 0 0 6 2 】

図 7 において点線で囲まれた部分 112 が、図 2 に示される構成全体に対応する。即ち、点線で囲まれた部分 112 内に含まれる DRAM セル配列 18A の部分が、DRAM セル配列 18 の 256×64 の一纏まりに対応する。また、1 つのセンスアンプ列 & SRAM 冗長セルユニット 111 は、2 つのセンスアンプ列

21と2つのSRAM冗長セル19に対応する。

【0063】

このような構成にすると、欠陥セルを救済する自由度を高くすることが出来る。即ち、前述の図2の構成では、256×64のDRAMセル配列18に対して、4ビットの一纏まりを救済するための冗長セルしか用意されていない。従って、256×64のDRAMセル配列18において、離れた2箇所において欠陥セルが存在すると、一方の欠陥セルは救済できないことになる。これに対して図7の構成で、256×512のDRAMセル配列18Aにおいて、例えばX印で示される2箇所に欠陥セルが存在するとする。この時、256×64の纏まりで考えた場合に対応するセンスアンプ列&SRAM冗長セルユニット111のSRAM冗長セルを一方の欠陥セルに使用してしまっても、もう一方の欠陥セルは、矢印で示すように別の256×64の纏まりに対応するSRAM冗長セルを用いて救済することが出来る。

【0064】

このような冗長処理を行うためには、図2に示されるような256×64のDRAMセル配列18の範囲で2つの欠陥セルが検出された場合には、この欠陥セルのアドレスを、当該DRAMセル配列18に対応する冗長コラム線選択信号comjzではなく、異なった冗長コラム線選択信号comiz (i≠j)に割り振るようにフューズボックス20にアドレス設定を行えばよい。例えば、図6に示される128個のフューズボックス20-1乃至20-128のうちで、16個の隣接するフューズボックスが同一の冗長コラム線選択信号に対応するとすれば、1番目の欠陥アドレスを指定したフューズボックスから16個以上離れたフューズボックスに2番目の欠陥アドレスを設定するようにすればよい。同様にすることで、図7のDRAMセル配列18Aの範囲で、任意の8箇所の欠陥セルを冗長することが出来る。

【0065】

図8は、DRAMセル配列及びSRAM冗長セルの配置の変形例を示す図である。

【0066】

図 8 に示される D R A M セル配列 1 8 は、図 2 の構成と同様に、2 5 6 本のワード線に対応する 2 5 6 ワードが 6 4 個のセンスアンプに対応して 6 4 ビット分配置され、2 5 6 × 6 4 ビット構成となっている。D R A M セル配列 1 8 の上下には、複数のセンスアンプからなるセンスアンプ列 2 1 が配置される。この例では、1 つのセンスアンプ列 2 1 は、1 6 個のセンスアンプを含み、1 6 ビットのデータに対する信号増幅動作を行う。また D R A M セル配列 1 8 の図面左側には、D R A M セル配列 1 8 に隣接する形でサブワードデコーダ 1 2 0 が設けられる。

【 0 0 6 7 】

図 8 に示されるように、S R A M 冗長セル 1 9 は、センスアンプ列 2 1 とサブワードデコーダ 1 2 0 とのクロス領域に設けられる。即ち、センスアンプ列 2 1 上をその延長方向（ワード線延長方向）に延びる線と、サブワードデコーダ 1 2 0 上を図面縦方向（コラム線延長方向）に延びる線とを考えたときに、それらの線が交差する領域に、S R A M 冗長セル 1 9 が設けられる。図 2 の例では、各 S R A M 冗長セル 1 9 は 2 ビットの S R A M セルを含む。データを 4 ビット単位で読み出す構成であるとする、欠陥セルを含む 4 ビットのメモリセルが、それぞれが 2 ビットである 2 つの S R A M 冗長セル 1 9 に冗長される。このようにして、図 8 の例では、図示される 1 つの D R A M セル配列 1 8 に対して、一箇所の欠陥に対する冗長処理が可能になる。

【 0 0 6 8 】

図 8 の例のように、センスアンプ列 2 1 とサブワードデコーダ 1 2 0 とのクロス領域に S R A M 冗長セル 1 9 を設ける構成としても、図 2 の構成と同様に効率的にチップ面積を使用することが出来る。また図 8 の更なる変形例として、サブワードデコーダ 1 2 0 が占める領域の一部を、S R A M 冗長セル 1 9 を配置するための領域として用いても良い。また或いは、図 1 のコラムデコーダ 1 6 が占める領域の一部を、S R A M 冗長セル 1 9 を配置するための領域としてもよい。また或いは、図 1 のワードデコーダ 1 7 が配置される領域の一部を、S R A M 冗長セル 1 9 のための領域として使用しても良い。

【 0 0 6 9 】

図 9 は、S R A M 冗長セルをワードデコーダ領域の一部に配置した構成を示す図である。

【 0 0 7 0 】

D R A M セル配列 1 8 は、2 5 6 本のワード線に対応する 2 5 6 ワードが 5 1 2 個のセンスアンプに対応して 5 1 2 ビット分配置され、2 5 6 × 5 1 2 ビット構成となっている。D R A M セル配列 1 8 の上下には、複数のセンスアンプからなるセンスアンプ列 1 2 1 が配置される。この例では、1 つのセンスアンプ列 1 2 1 は、2 5 6 個のセンスアンプを含み、2 5 6 ビットのデータに対する信号増幅動作を行う。また D R A M セル配列 1 8 の図面左側には、D R A M セル配列 1 8 に隣接する形でワードデコーダ 1 7 が設けられる。

【 0 0 7 1 】

図 9 の構成では、D R A M セル配列 1 8 に対してワード選択を行うワードデコーダ 1 7 の領域の一部にスペースを設け、そのスペースに S R A M 冗長セル 1 9 を配置している。ここで各 S R A M 冗長セル 1 9 は 2 ビットの S R A M セルを含む。データを 4 ビット単位で読み出す構成であるとする、欠陥セルを含む 4 ビットのメモリセルが、それぞれが 2 ビットである 2 つの S R A M 冗長セル 1 9 に冗長される。図 9 の例では、S R A M 冗長セル 1 9 の対が 8 セット設けられているので、図示される 2 5 6 × 5 1 2 の D R A M セル配列 1 8 に対して、合計 8 箇所の欠陥に対する冗長処理が可能になる。

【 0 0 7 2 】

図 9 の例のように、ワードデコーダ 1 7 の領域に S R A M 冗長セル 1 9 を設ける構成としても、効率的にチップ面積を使用することが出来る。また図 9 の更なる変形例として、センスアンプ列 1 2 1 とワードデコーダ 1 7 とのクロス領域に S R A M 冗長セル 1 9 を設ける構成としてもよい。

【 0 0 7 3 】

以上説明した実施例は、本発明を実現する形態の例を示すものであり、本発明を限定するものではない。本発明においては、ワードデコーダ、サブワードデコーダ、コラムデコーダ、センスアンプ列等の領域の一部を S R A M 冗長セル 1 9 配置用の領域とするか、或いはセンスアンプ列とワードデコーダとのクロス部に

S R A M 冗長セル 1 9 を設けることが出来る。また或いは図 8 に示されるように、ワードストラップ部（ワード線裏打ち領域）の領域の一部を S R A M 冗長セル 1 9 配置用の領域とするか、或いはセンスアンプ列とワードストラップ部とのクロス部に S R A M 冗長セル 1 9 を設けることも出来る。このように本発明においては、D R A M において従来から存在する構成要素であるデコーダやセンスアンプ等の領域を効率的に使用して、D R A M セル配列の各ブロックの周辺領域に S R A M 冗長セル 1 9 を配置する。

【 0 0 7 4 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【 0 0 7 5 】

なお本発明は、以下の内容を含むものである。

（付記 1）外部に対してデータを入出力するデータバッファと、

複数のブロックからなる D R A M セル配列と、

該 D R A M セル配列の各ブロックに対してブロック周辺部に配置される S R A M 冗長セルと、

該 D R A M セル配列の欠陥メモリセルのアドレスを記憶するフューズ回路と、

入力アドレスと該フューズ回路が記憶するアドレスとを比較する比較回路と、

該比較回路がアドレス一致を検出すると該 S R A M 冗長セルを該データバッファに接続する I / O バス

を含むことを特徴とする半導体記憶装置。

（付記 2）該 D R A M セル配列の各ブロックに対して設けられるセンスアンプ列を更に含み、該 S R A M 冗長セルは該センスアンプ列の領域の一部に配置されることを特徴とする付記 1 記載の半導体記憶装置。

（付記 3）該 D R A M セル配列の各ブロックに対して設けられるサブワードデコーダを更に含み、該 S R A M 冗長セルは該サブワードデコーダの領域の一部に配置されることを特徴とする付記 1 記載の半導体記憶装置。

（付記 4）該 D R A M セル配列の各ブロックに対して設けられるセンスアンプ列及びサブワードデコーダを更に含み、該 S R A M 冗長セルは該センスアンプ列と

該サブワードデコーダとの交差部に配置されることを特徴とする付記 1 記載の半導体記憶装置。

(付記 5) 該 DRAM セル配列の各ブロックに対して設けられるワードストラップ部を更に含み、該 SRAM 冗長セルは該ワードストラップ部の領域の一部に配置されることを特徴とする付記 1 記載の半導体記憶装置。

(付記 6) 該 DRAM セル配列の各ブロックに対して設けられるセンスアンプ列及びワードストラップ部を更に含み、該 SRAM 冗長セルは該センスアンプ列と該ワードストラップ部との交差部に配置されることを特徴とする付記 1 記載の半導体記憶装置。

(付記 7) 該 DRAM セル配列の各ブロックに対して設けられるコラムデコーダを更に含み、該 SRAM 冗長セルは該コラムデコーダの領域の一部に配置されることを特徴とする付記 1 記載の半導体記憶装置。

(付記 8) 該 DRAM セル配列の各ブロックに対して設けられるワードデコーダを更に含み、該 SRAM 冗長セルは該ワードデコーダの領域の一部に配置されることを特徴とする付記 1 記載の半導体記憶装置。

(付記 9) 該 DRAM セル配列の各ブロックに対してブロック周辺部に配置される SRAM 冗長セルは、該 DRAM セル配列の単一の欠陥箇所を冗長する容量であることを特徴とする付記 1 記載の半導体記憶装置。

(付記 10) 該 SRAM 冗長セルは、該 DRAM セル配列の任意のブロックの欠陥メモリセルを冗長可能であることを特徴とする付記 9 記載の半導体記憶装置。

(付記 11) 該フューズ回路は、該 DRAM セル配列のあるセルマットに 2 箇所以上欠陥箇所が存在する場合には、そのうちの少なくとも 1 つの欠陥箇所のアドレスを他のセルマトの SRAM 冗長セルに冗長するように設定されることを特徴とする付記 10 記載の半導体記憶装置。

(付記 12) 該比較回路は、該入力アドレスのローアドレス、ブロックアドレス、及びコラムアドレスの全てと該フューズ回路が記憶するアドレスとを比較することを特徴とする付記 1 記載の半導体記憶装置。

(付記 13) 該比較回路の比較結果に関わらず該入力アドレスのローアドレスに応じてワード線を選択活性化するワードデコーダと、

該比較回路がアドレス不一致を検出すると該入力アドレスのコラムアドレスに対応するコラム線を選択活性化し、該比較回路がアドレス一致を検出すると該 S R A M 冗長セルに対応する冗長コラム線を選択活性化するコラムデコーダと、

該入力アドレスのブロックアドレスに応じて該 S R A M 冗長セルをワード方向に選択するブロック信号線
を更に含むことを特徴とする付記 1 2 記載の半導体記憶装置。

(付記 1 4) 該冗長コラム線で選択される該 S R A M 冗長セルのビット数は、該コラム線で選択されるデータのビット数に等しいことを特徴とする付記 1 3 記載の半導体記憶装置。

(付記 1 5) 該 D R A M セル配列の各ブロックに対して設けられるセンスアンプ列と、該 D R A M セル配列の各ブロックに対して設けられるワードデコーダを更に含み、該 S R A M 冗長セルは該センスアンプ列と該ワードデコーダとの交差部に配置されることを特徴とする付記 1 記載の半導体記憶装置。

【発明の効果】

以上のようにして、本発明では、ローアドレス、ブロックアドレス、及びコラムアドレスを含むアドレス信号の全ビットを、冗長アドレスと比較することで、通常のコラム線の選択／非選択及び冗長コラム線の選択／非選択を決定して、冗長処理時には、選択活性化した冗長コラム線及び選択活性化したブロック線に対応する S R A M 冗長セルに対してデータ書き込み／データ読み出しを実行する。従って、メモリセルに対する一対一の冗長セルの置き換えが可能になると共に、S R A M の使用によって信頼性のある冗長処理が可能になる。また S R A M 冗長セルに対して、D R A M メモリと別個に S R A M 専用のアドレス選択回路及びデータアクセス回路を設ける必要が無いので、効率的なチップ面積の使用が可能になると共に、消費電力の増大を抑えることが出来る。

【0 0 7 6】

また本発明においては、D R A M において従来から存在する構成要素であるデコーダやセンスアンプ等の領域を効率的に使用して、各 D R A M セル配列の各ブロックの周辺に S R A M 冗長セルを配置するようにしたので、チップ面積を効率的に使用することが可能になる。

【図面の簡単な説明】

【図 1】

本発明による半導体記憶装置の構成を示すブロック図である。

【図 2】

DRAMセル配列及びSRAM冗長セルの配置を示す図である。

【図 3】

SRAM冗長セル周辺の回路構成を示す回路図である。

【図 4】

DRAMセル配列とセンスアンプ及びSRAM冗長セルとの関係を示す図である。

【図 5】

本発明における冗長処理の制御を模式的に示した図である。

【図 6】

フューズボックス及びその周辺を示す回路図である。

【図 7】

DRAMセル配列及びSRAM冗長セルの配置を示す図である。

【図 8】

DRAMセル配列及びSRAM冗長セルの配置の変形例を示す図である。

【図 9】

SRAM冗長セルをワードデコーダ領域の一部に配置した構成を示す図である。

【符号の説明】

- 10 半導体記憶装置
- 11 アドレスバッファ
- 12 データバッファ
- 13 コマンドデコーダ
- 14 制御信号生成ユニット
- 15 クロックバッファ
- 16 コラムデコーダ

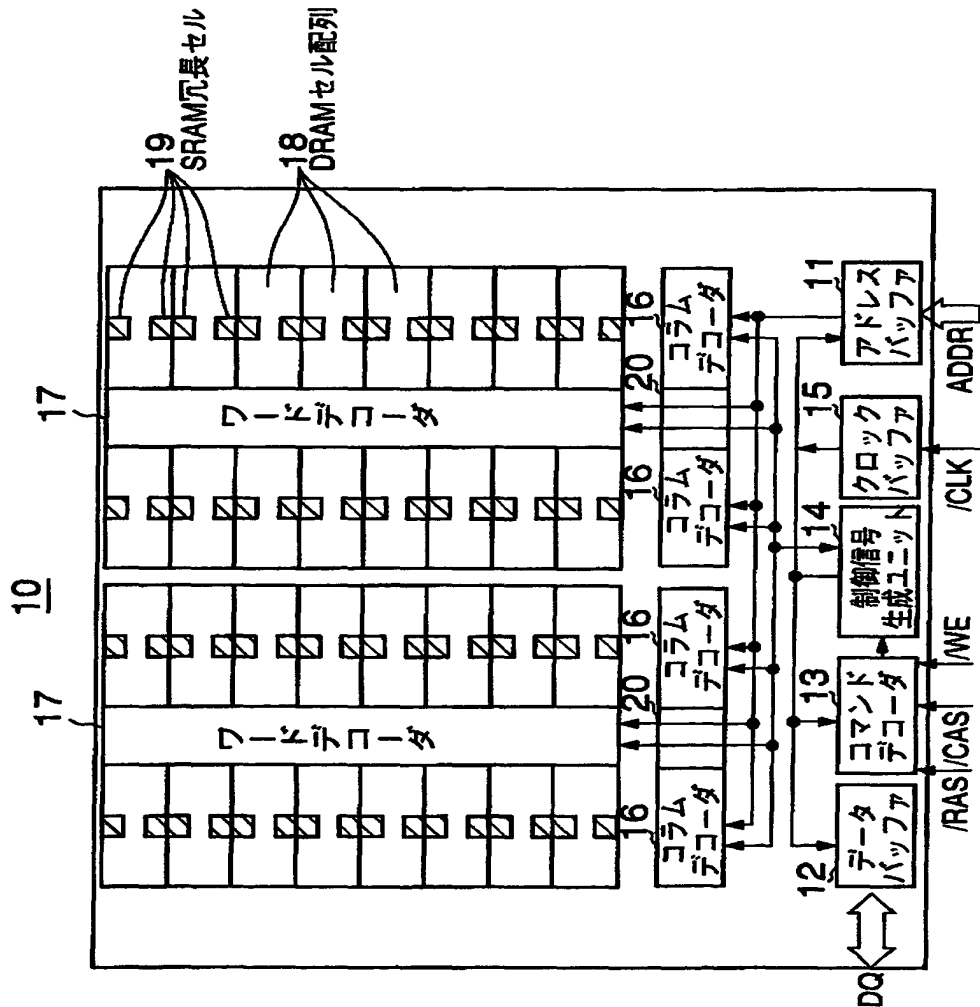
- 1.7 ワードデコーダ
- 1.8 DRAMセル配列
- 1.9 SRAM冗長セル
- 2.0 フューズボックス

【書類名】

図面

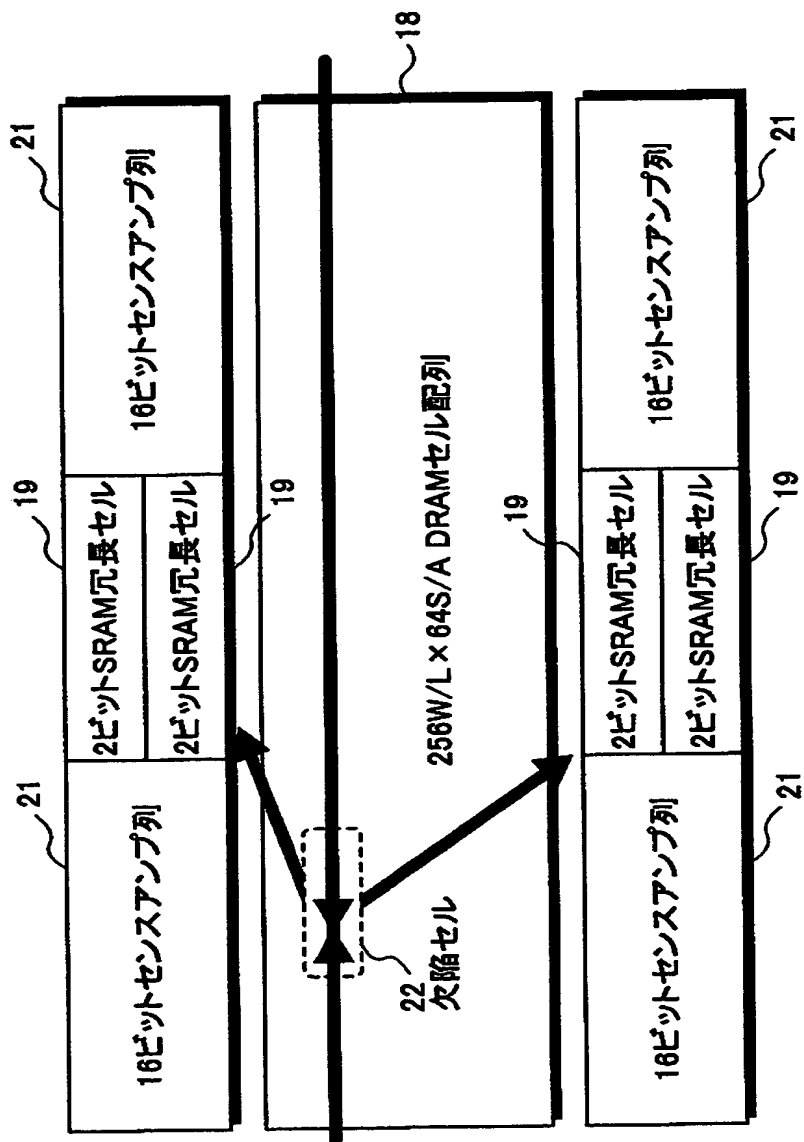
【図 1】

本発明による半導体記憶装置の構成を示すブロック図



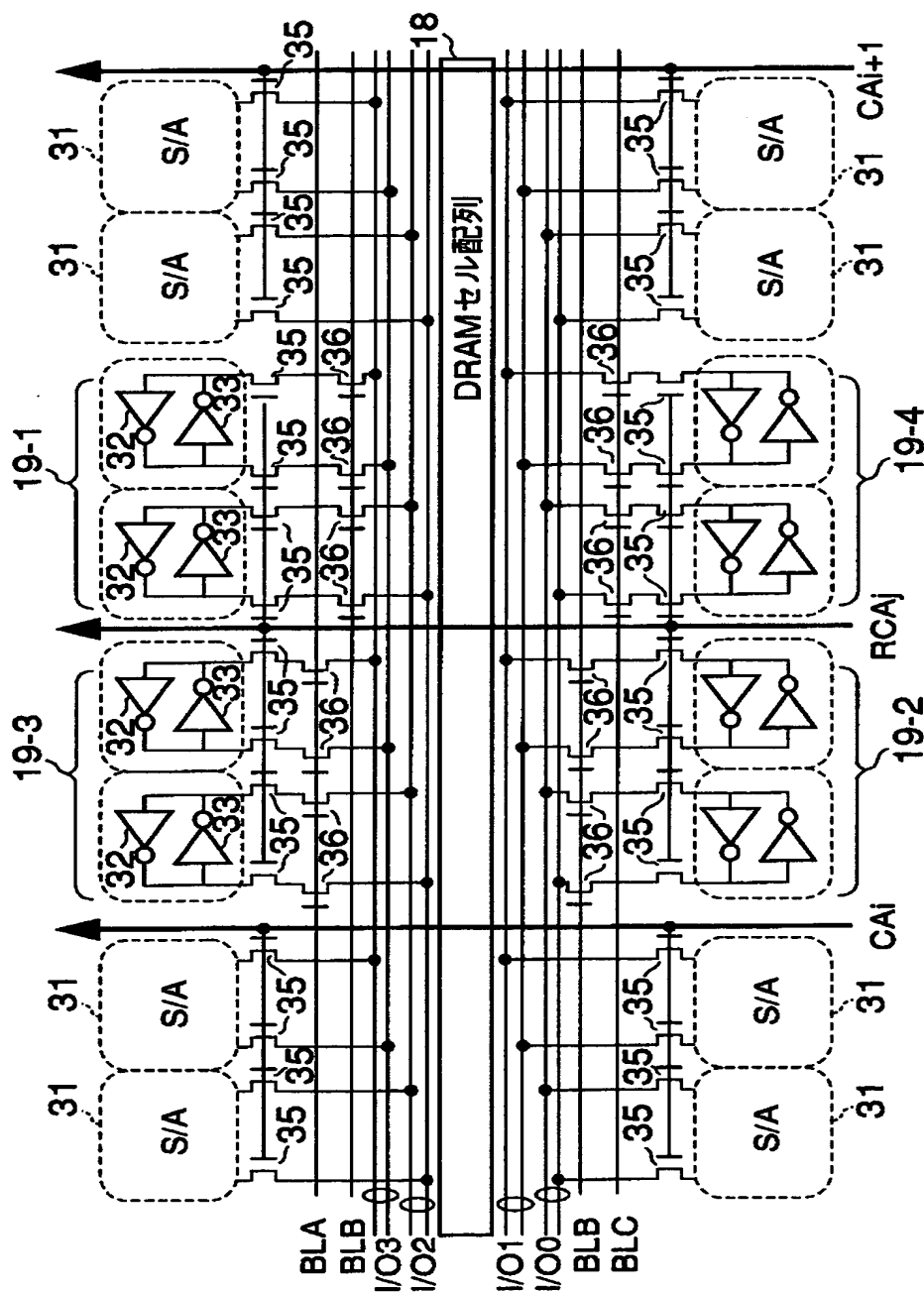
【図2】

DRAMセル配列及びSRAM冗長セルの配置を示す図



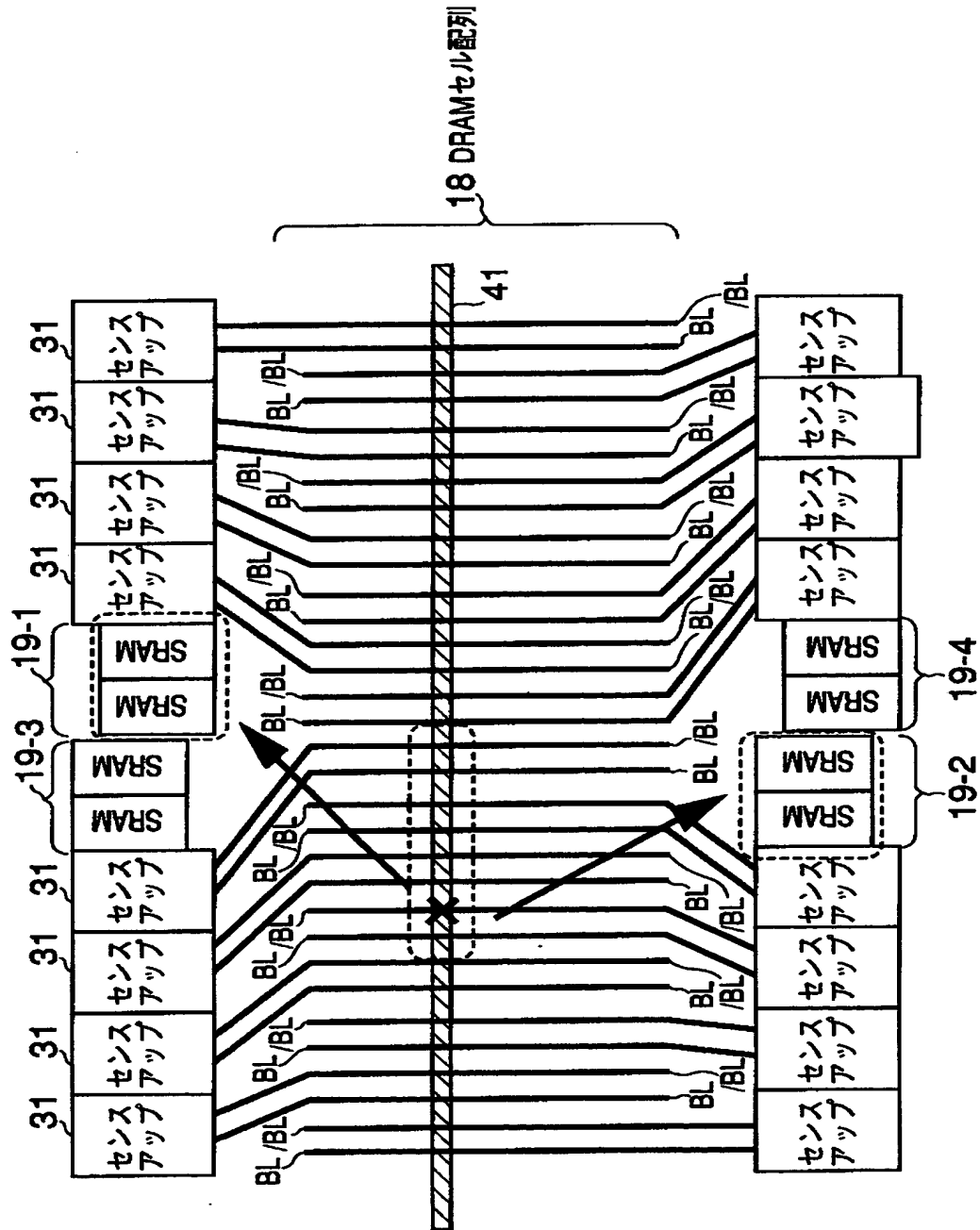
【図3】

SRAM冗長セル周辺の回路構成を示す回路図



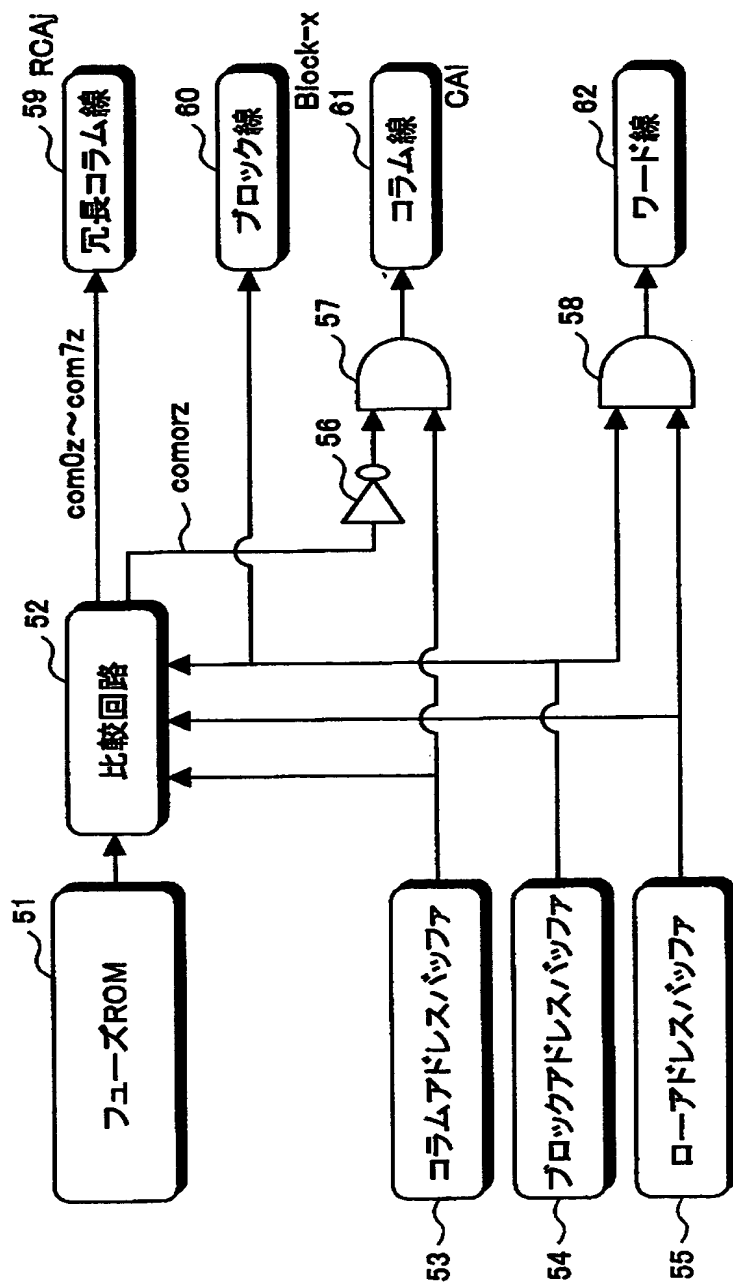
【図4】

DRAMセル配列とセンスアンプ及びSRAM冗長セルとの関係を示す図



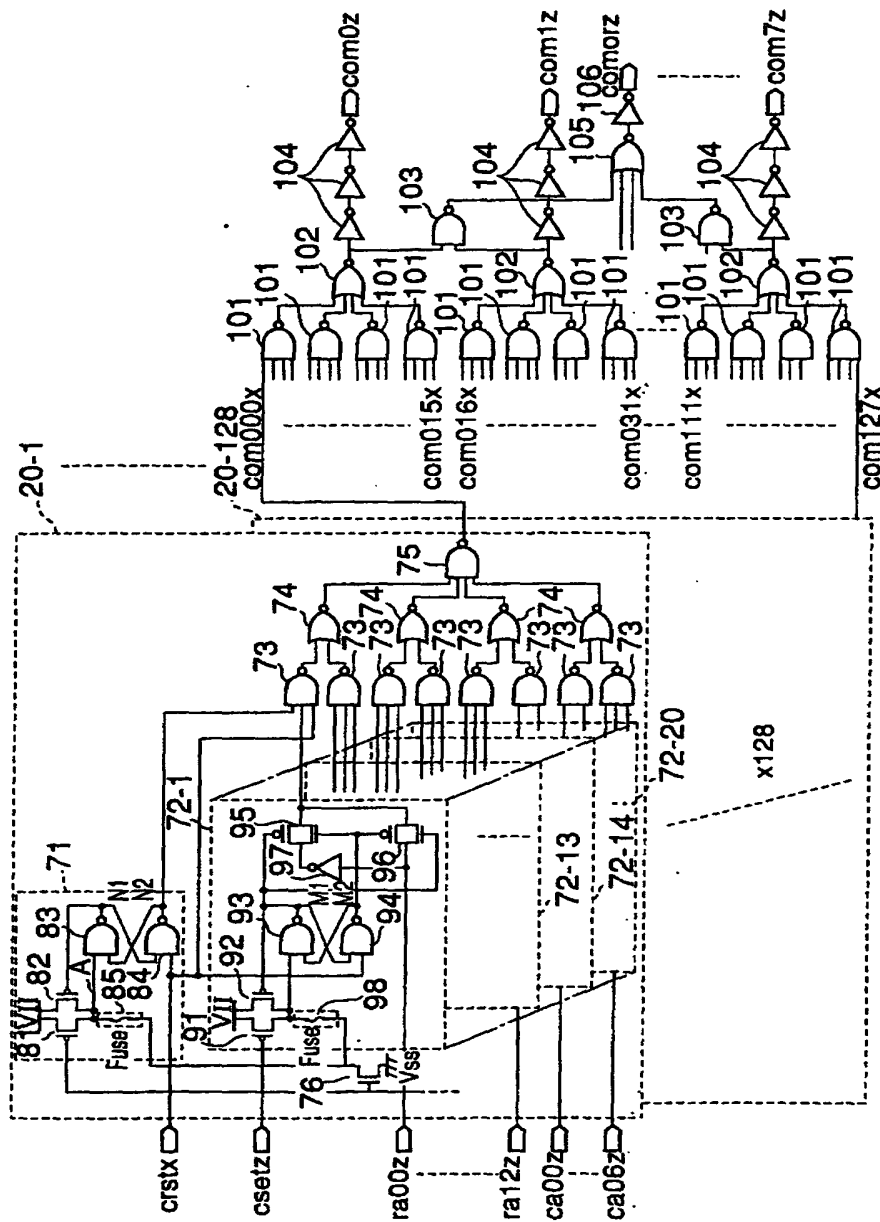
【図5】

本発明における冗長処理の制御を模式的に示した図



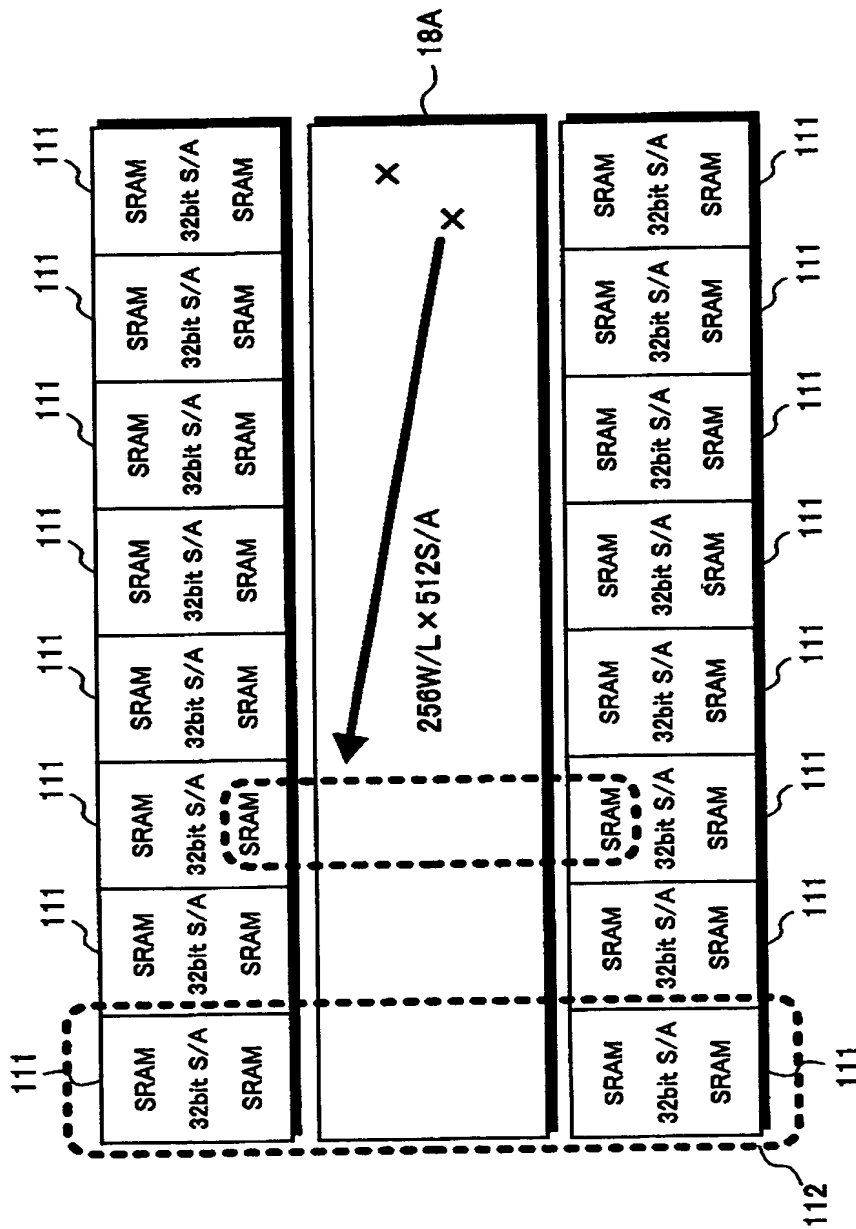
【図6】

フューズボックス及びその周辺を示す回路図



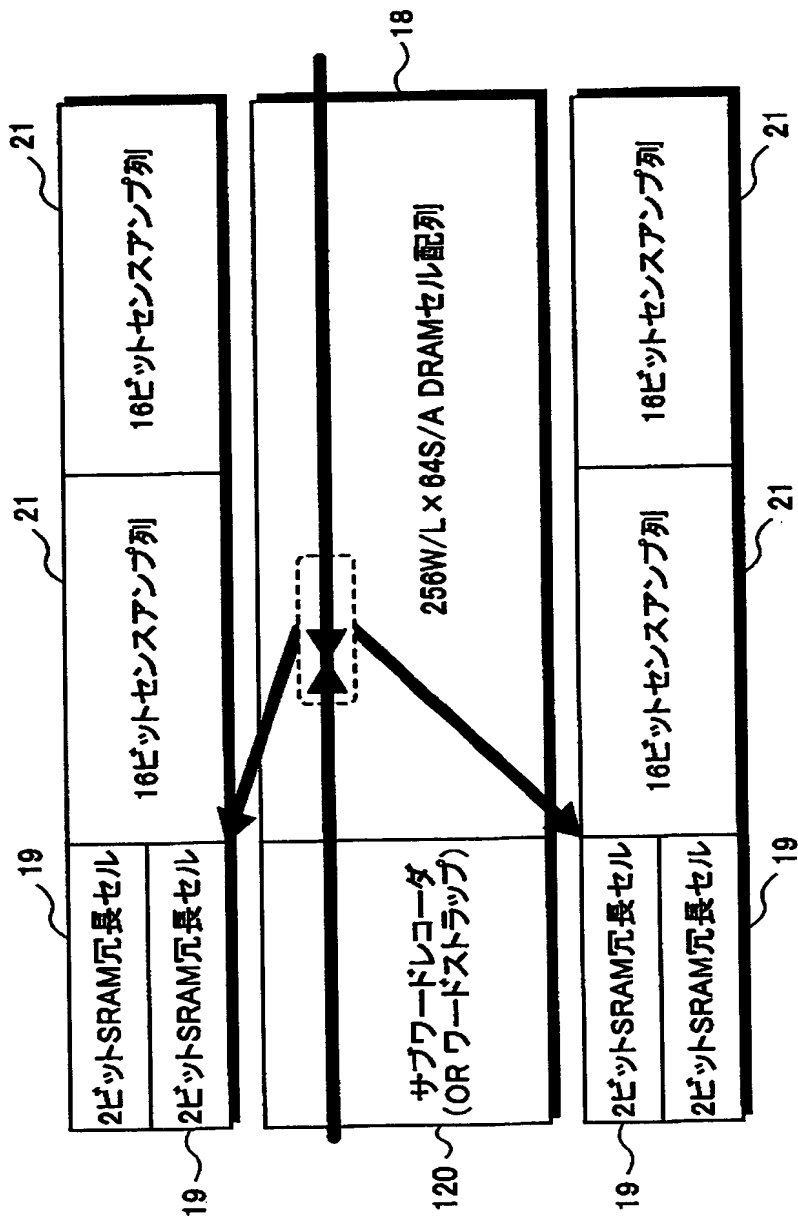
【図7】

DRAMセル配列及びSRAM冗長セルの配置を示す図



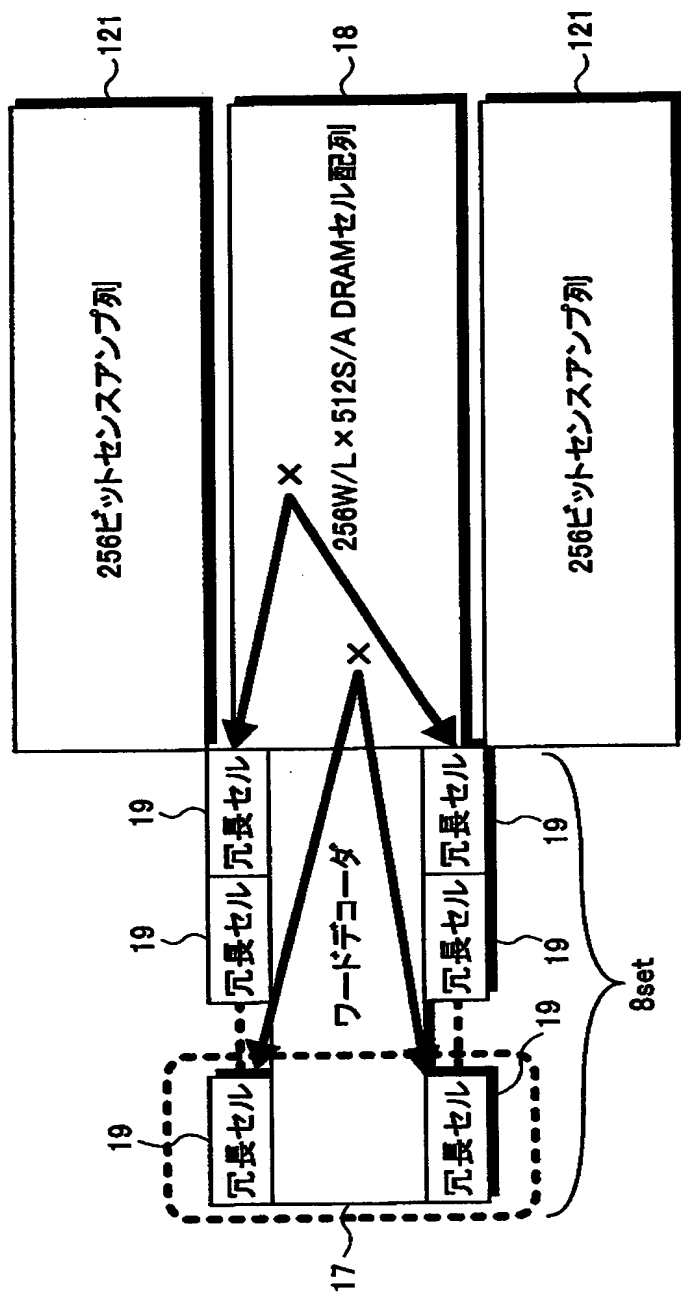
【図 8】

DRAMセル配列及びSRAM冗長セルの配置の変形例を示す図



【図9】

SRAM冗長セルをワードデコーダ領域の一部に配置した構成を示す図



【書類名】 要約書

【要約】

【課題】本発明は、チップ面積及び消費電力を増大させること無く単ビット不良を効率的に救済する半導体記憶装置を提供することを目的とする。

【解決手段】半導体記憶装置は、外部に対してデータを入出力するデータバッファと、複数のブロックからなるDRAMセル配列と、DRAMセル配列の各ブロックに対してブロック周辺部に配置されるSRAM冗長セルと、DRAMセル配列の欠陥メモリセルのアドレスを記憶するフューズ回路と、入力アドレスの全ビットとフューズ回路が記憶するアドレスとを比較する比較回路と、比較回路がアドレス一致を検出するとSRAM冗長セルをデータバッファに接続するI/Oバスを含むことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社